

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Kazuaki OKAMOTO

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: CONVERTER DEVICE HAVING POWER FACTOR IMPROVING CIRCUIT

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. _____ Date Filed _____
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-063093	March 10, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s) _____
☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124



22850

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2003年 3月10日

出願番号

Application Number:

特願2003-063093

[ST.10/C]:

[JP2003-063093]

出願人

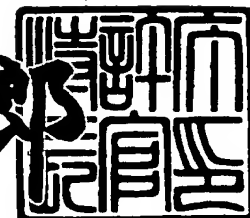
Applicant(s):

三菱電機株式会社

2003年 3月28日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3021674

【書類名】 特許願

【整理番号】 541008JP01

【提出日】 平成15年 3月10日

【あて先】 特許庁長官殿

【国際特許分類】 H02M 7/12

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 岡本 和明

【特許出願人】

 【識別番号】 000006013

 【氏名又は名称】 三菱電機株式会社

【代理人】

 【識別番号】 100089233

 【弁理士】

 【氏名又は名称】 吉田 茂明

【選任した代理人】

 【識別番号】 100088672

 【弁理士】

 【氏名又は名称】 吉竹 英俊

【選任した代理人】

 【識別番号】 100088845

 【弁理士】

 【氏名又は名称】 有田 貴弘

【手数料の表示】

 【予納台帳番号】 012852

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】 図面 1
【物件名】 要約書 1
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 コンバータ装置

【特許請求の範囲】

【請求項1】 交流電力を直流電力に変換するADコンバータ部および前記ADコンバータ部の力率を改善する力率改善部を備えたコンバータ装置であって

前記力率改善部は、

前記ADコンバータ部の交流電源波形をデジタル信号に変換して出力するフォトカプラと、

前記デジタル信号に基づいて、前記交流電源波形に同期した全波整流波形データを作成するコンピュータシステムと、

前記ADコンバータ部における出力電圧と予め設定された設定電圧との電圧誤差に基づいた電圧誤差信号を基準電圧とし、前記基準電圧と前記全波整流波形データとの乗算を行って、前記ADコンバータ部における入力電圧の波形に相似した目標電流値波形を出力するDAコンバータと、

前記目標電流値波形と前記ADコンバータ部に流れている前記電流の波形との比較を行って、両者の電流誤差を小さくするように前記ADコンバータ部に流れる電流を制御する電流制御部と、を備えるコンバータ装置。

【請求項2】 前記電圧誤差信号を生成する電圧誤差信号生成部および前記電流制御部は、力率改善回路としてICチップ内に内蔵され、

前記DAコンバータおよび前記コンピュータシステムは前記ICチップの外部に配置される、請求項1記載のコンバータ装置。

【請求項3】 前記DAコンバータは、前記コンピュータシステムに内蔵される、請求項2記載のコンバータ装置。

【請求項4】 前記DAコンバータは、前記コンピュータシステムの外部に設けられる、請求項2記載のコンバータ装置。

【請求項5】 前記DAコンバータ、前記電圧誤差信号を生成する電圧誤差信号生成部および前記電流制御部は、力率改善回路としてICチップ内に内蔵され、前記コンピュータシステムは前記ICチップの外部に配置される、請求項1

記載のコンバータ装置。

【請求項6】 前記DAコンバータ、前記コンピュータシステム、前記電圧誤差信号を生成する電圧誤差信号生成部および前記電流制御部は、力率改善回路としてICチップ内に内蔵される、請求項1記載のコンバータ装置。

【請求項7】 前記コンピュータシステムは、
前記交流電源1の1周期分の全波整流波形の源データがデジタルデータとして書き込まれた記憶装置と、

前記フォトカプラから出力される前記デジタル信号を受けて、所定タイミングでアドレス信号を出力することで、前記記憶装置に書き込まれた前記デジタルデータを前記DAコンバータに入力する時間の間隔を調整するアドレス生成回路と、を備え、

前記アドレス生成回路は、前記交流電源波形の周期に同期するように前記時間の間隔を調整し、

前記記憶装置は、前記アドレス生成回路から与えられる前記アドレス信号に対応して前記全波整流波形の源データを出力することで、前記交流電源波形に同期した前記全波整流波形データを前記DAコンバータに与える、請求項6記載のコンバータ装置。

【請求項8】 前記力率改善回路は、前記アドレス生成回路に基準クロック信号を与える発振回路を前記ICチップ内に内蔵して備える、請求項7記載のコンバータ装置。

【請求項9】 前記発振回路は、その発振周波数を決める抵抗素子および容量素子として、可変抵抗および可変キャパシタを有する、請求項8記載のコンバータ装置。

【請求項10】 前記発振回路は、その発振周波数を決める抵抗素子および容量素子を、前記ICチップの外部に有する、請求項8記載のコンバータ装置。

【請求項11】 前記発振回路は、電圧制御発振回路であって、
前記力率改善回路は、
前記電圧制御発振回路の出力をロックして前記アドレス生成回路に与えるPLL回路を前記ICチップ内に内蔵してさらに備える、請求項8記載のコンバータ

装置。

【請求項 1 2】 前記力率改善回路は、前記アドレス生成回路に与える基準クロック信号を、前記 IC チップ外部から取得する、請求項 7 記載のコンバータ装置。

【請求項 1 3】 前記アドレス生成回路は、
前記基準クロック信号を分周する分周回路と、
前記分周回路で低い周波数に変換された前記基準クロック信号を計数して、前記アドレス信号の出力タイミングを決定するアドレスカウンタと、を有する、請求項 8 または請求項 1 2 記載のコンバータ装置。

【請求項 1 4】 前記アドレス生成回路は、
前記基準クロック信号を分周する分周回路と、
前記フォトカプラから出力される前記デジタル信号を受け、前記分周回路で低い周波数に変換された前記基準クロック信号に基づいて、前記交流電源の 1 周期あたりのカウント値を計数する周期カウンタと、
前記カウント値を前記全波整流波形の源データのデータ数で除算して、前記記憶装置のアドレスのインクリメント周期に対応する分割値を取得する除算手段と、
前記分割値を記憶するレジスタと、
前記分割値を前記分周回路で低い周波数に変換された前記基準クロック信号に基づいて計数するタイマー用カウンタと、
前記分割値に基づいて、前記アドレス信号の出力タイミングを決定するアドレスカウンタと、を有する請求項 7 記載のコンバータ装置。

【請求項 1 5】 前記除算手段は、除算回路である、請求項 1 4 記載のコンバータ装置。

【請求項 1 6】 前記除算手段は、予め所定の除算結果が書き込まれた除算結果記憶用の記憶装置である、請求項 1 4 記載のコンバータ装置。

【請求項 1 7】 前記除算手段は、前記周期カウンタを含み、前記周期カウンタでの計数結果をビットシフトすることで、前記分割値を取得する、請求項 1 4 記載のコンバータ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は交流電力を直流電力に変換するコンバータ装置に関し、特に力率を改善する力率改善回路を有するコンバータ装置に関する。

【0002】

【従来の技術】

従来の交流電力を直流電力に変換するAC-DCコンバータにおいて、力率を改善して高調波電流を低減する構成として、例えば特許文献1に示されるような高調波電流低減回路が使用されていた。

【0003】

しかし、特許文献1のような高調波電流低減回路では、整流回路の出力電圧を抵抗分割した電圧を検出入力電圧として高調波電流低減回路に与える構成であったので、AC電源に重畳したノイズが高調波電流低減回路の動作に影響し、力率改善や高調波電流の低減に影響を及ぼしていた。

【0004】

【特許文献1】

特開平9-252578号公報(第5欄～第9欄、図1～10)

【0005】

【発明が解決しようとする課題】

本発明は上記のような問題点を解消するためになされたもので、交流電源に重畳したノイズの影響を排除して、高調波を低減するとともに力率を改善した力率改善回路を有するコンバータ装置を提供することを目的とする。

【0006】

【課題を解決するための手段】

本発明に係る請求項1記載のコンバータ装置は、交流電力を直流電力に変換するADコンバータ部および前記ADコンバータ部の力率を改善する力率改善部を備えたコンバータ装置であって、前記力率改善部は、前記ADコンバータ部の交流電源波形をデジタル信号に変換して出力するフォトカプラと、前記デジタル信号に基づいて、前記交流電源波形に同期した全波整流波形データを作成するコン

ピュータシステムと、前記ADコンバータ部における出力電圧と予め設定された設定電圧との電圧誤差に基づいた電圧誤差信号を基準電圧とし、前記基準電圧と前記全波整流波形データとの乗算を行って、前記ADコンバータ部における入力電圧の波形に相似した目標電流値波形を出力するDAコンバータと、前記目標電流値波形と前記ADコンバータ部に流れている前記電流の波形との比較を行って、両者の電流誤差を小さくするように前記ADコンバータ部に流れる電流を制御する電流制御部とを備えている。

【0007】

【発明の実施の形態】

< A. 実施の形態1 >

< A-1. 装置構成 >

本発明に係る実施の形態1として、図1にコンバータ装置100の構成を示す。図1に示すようにコンバータ装置100は、交流電源1から供給される交流電力を直流電力に変換して負荷7に与えるADコンバータ部101と、力率改善回路103を有した力率改善部102とを備えている。

【0008】

ADコンバータ部101において、交流電源1から供給される交流電力は、まず全波整流ダイオードブリッジ2に与えられる。全波整流ダイオードブリッジ2は、ダイオードD1、D2、D3およびD4で構成され、そのカソード出力が第1出力線PWに接続され、アノード出力が第2出力線GDに接続されている。

【0009】

出力線PWには、全波整流ダイオードブリッジ2の側から順に、昇圧コイル3、転流ダイオード4が介挿され、転流ダイオード4のカソードが負荷7に接続されている。また、接地線GDには抵抗R4が介挿され、負荷7に接続されている。なお、第2出力線GDは、抵抗R4と全波整流ダイオードブリッジ2との間で接地されている。

【0010】

そして、転流ダイオード4のアノードと抵抗R4の負荷7側の端部との間には、IGBT (insulated gate bipolar transistor) などのスイッチングデバイ

ス5が接続され、転流ダイオード4のカソードと接地との間には直列に接続された抵抗R1およびR2が接続され、転流ダイオード4のカソードと、抵抗R1およびR2よりも負荷7側の第2出力線GDとの間には平滑キャパシタ6が接続されている。

【0011】

力率改善回路103は、電圧誤差増幅器8（電圧誤差信号生成部）、電流誤差増幅器10、コンパレータ11、三角波発振器12、出力バッファ13および直流電源PSを主たる構成として有している。

【0012】

なお、ADコンバータ部101と力率改善回路103との間には電流誤差増幅器10のゲイン設定を行うゲイン設定部G1および電圧誤差増幅器8のゲイン設定を行うゲイン設定部G2が電氣的に接続されている。

【0013】

また、力率改善部102には、交流電源1の出力を検出するためのフォトカプラ14およびマイクロコンピュータ15（コンピュータシステム）を有し、フォトカプラ14の出力Vpは、マイクロコンピュータ15のMCU（memory control unit）に与えられ、マイクロコンピュータ15内のDAコンバータ17からは、コンバータ出力DAOが力率改善回路103に与えられ、力率改善回路103からは、基準電圧VREFがDAコンバータ17に与えられる構成となっている。なお、マイクロコンピュータ15には基準クロック信号源16が接続されている。

【0014】

力率改善回路103において、電流誤差増幅器10の出力はコンパレータ11のプラス入力に接続され、コンパレータ11のマイナス入力には、三角波発振器12の出力が与えられる。そしてコンパレータ11の出力が、スイッチングデバイス5の制御端子に与えられる構成となっている。なお、電流誤差増幅器10のプラス入力には、マイクロコンピュータ15内のDAコンバータ17からコンバータ出力DAOが与えられる構成になっている。

【0015】

そして、ゲイン設定部G1は、力率改善回路103の抵抗R4の負荷7側の端部に第1端部が接続され、第2端部が電流誤差増幅器10のマイナス入力に接続された抵抗R6と、抵抗R6の第2端部と電流誤差増幅器10の出力との間に直列に接続された抵抗R7およびキャパシタC1と、抵抗R6の第2端部と電流誤差増幅器10の出力との間に接続されたキャパシタC2とを有している。

【0016】

また、電圧誤差増幅器8のプラス入力には、直流電源PSから正電圧が与えられ、電圧誤差増幅器8の出力は基準電圧VREFとしてマイクロコンピュータ15内のDAコンバータ17に与えられる構成となっている。

【0017】

ゲイン設定部G2は、ADコンバータ部101の抵抗R1とR2との接続ノードに第1端部が接続され、第2端部が電圧誤差増幅器8のマイナス入力に接続された抵抗R8と、抵抗R8の第2端部と電圧誤差増幅器8の出力との間に接続された抵抗R9とを有している。

【0018】

< A-2. 動作 >

次に、図1を参照しつつ図2～図5を用いてコンバータ装置100の動作について説明する。

【0019】

ADコンバータ部101は、スイッチングデバイス5のオン/オフ動作により昇圧コイル3に磁界エネルギーを励起することで電圧を高める昇圧型のAC-DCコンバータである。

【0020】

すなわち、スイッチングデバイス5をオンすると、昇圧コイル3からスイッチングデバイス5に電流が流れ、電磁エネルギーを昇圧コイル3に蓄積する。このとき、転流ダイオード4は導通せず、負荷7には平滑キャパシタ6から電流が供給される。

【0021】

一方、スイッチングデバイス5をオフにすると、昇圧コイル3に流れていた電

流が急に消えるため、昇圧コイル3の両端に逆起電力が発生し、転流ダイオード4のアノード側の電圧がカソード側の電圧、すなわち平滑キャパシタ6の電圧よりも高くなるので転流ダイオード4が導通し、平滑キャパシタ6を充電するとともに、負荷7にも電流を供給する。

【0022】

このように、ADコンバータ部101は昇圧コイル3に流す電流をオン／オフすることで、入力電圧よりも高い電圧を発生させることができる。なお、スイッチングデバイス5をオン／オフさせるだけでは出力電圧 V_o が上昇し続けるので、所定の電圧値を保つように電圧誤差増幅器8を用いてフィードバックをかけている。

【0023】

電圧誤差増幅器8は、抵抗 R_4 および R_5 で抵抗分割した電圧を入力電圧とする反転増幅器であり、設定電圧と実際の出力電圧 V_o との誤差を反転増幅する。すなわち、負荷7が軽くなり出力電圧 V_o が設定電圧より上昇しようとする場合には、電圧誤差増幅器8の出力が下がるように動作し、負荷7が重くなり出力電圧 V_o が設定電圧より低下しようとする場合には、電圧誤差増幅器8の出力が上がるように動作する。

【0024】

< A-2-1. 力率の改善効果 >

次に、電流誤差増幅器10の動作について説明する前に、力率の改善の仕組みについて図2を用いて説明する。

【0025】

入力が交流電力である電気回路において、電流と電圧の位相差を θ とすれば、当該電気回路に入力される電力 P は、 $P = V \cdot I \cdot \cos \theta$ で与えられ、比例定数である $\cos \theta$ を力率と称する。電気回路が要求する電力 P が一定である場合、電源電圧 V は一定であるので力率($\cos \theta$)が大きいほど(1に近いほど)電流 I のピーク値は小さくて済む。

【0026】

そして、AC-DCコンバータのようなキャパシタ入力型の電気回路において

は、回路に流れる電流の波形は、ピーク値が実効値の5～10倍にも達する突出波形となる。ここで、図2に示すように商用電源である交流電源1の電源電圧 V_{ac} には高調波成分を多数含んでおり、この高調波成分は全波整流された入力電圧 V_i の波形にも含まれ、ノイズの原因となる。

【0027】

キャパシタ入力型の電気回路において力率を改善するには、回路に流れる電流と入力電圧との位相を揃え、かつピーク電流値を下げる必要がある。

【0028】

従って、コンバータ装置100においても、DAコンバータ部101に流れる電流と入力電圧 V_i との位相を揃えるために、電流波形が入力電圧波形に相似した正弦波になるように制御される。このために電流誤差増幅器10が使用される。

【0029】

電流誤差増幅器10においては、目標電流値、すなわち入力電圧の波形に相似した目標電流値波形を与える電流値と実際に回路に流れている電流との誤差を求め、当該電流誤差に基づいてスイッチングデバイス5を制御する。

【0030】

典型的なAC-DCコンバータの場合、電流誤差は全波整流波形の谷の部分で最も大きくなり、山の部分で最も小さくなる。

【0031】

図2には、全波整流された電圧、すなわち入力電圧 V_i の波形と、電流誤差増幅器10の出力電圧 V_s の波形とを並べて示している。なお、図2においては、電流誤差増幅器10の出力波形に、三角波発振器12の出力波形を重ねて示している。

【0032】

図2において、電流誤差増幅器10の出力波形(V_s)は、全波整流波形を反転したような波形となり、電流誤差は全波整流波形の谷の部分で最も大きくなり、山の部分で最も小さくなっていることがわかる。

【0033】

従って、電流誤差が大きい期間はスイッチングデバイス5のオン期間を長くして回路に流れる電流を多くし、逆に電流誤差が小さい期間はスイッチングデバイス5のオン期間を短くすることで回路に流れる電流を少なくする。

【0034】

より具体的には、電流誤差増幅器10の出力と三角波発振器12の出力とをコンパレータ11に入力して両者のレベルを比較し、両者のレベルに差がある期間、すなわち電流誤差が小さい期間はコンパレータ11の出力パルスの幅を狭くし、両者のレベルに差がない期間、すなわち電流誤差が大きい期間はコンパレータ11の出力パルスの幅を広くして、スイッチングデバイス5をPWM (pulse width modulation) 制御する。なお、電流誤差増幅器10、コンパレータ11、三角波発振器12および出力バッファ13は、スイッチングデバイス5を制御してADコンバータ部101に流れる電流を制御するので、電流制御部と総称する場合がある。

【0035】

以上の動作により、ADコンバータ部101に流れる電流の波形と、入力電圧(V_i)の波形とが相似した正弦波となり、位相が揃って力率が向上する。

【0036】

< A-2-2. 高調波の低減効果 >

また、実際にADコンバータ部101に流れている電流を、抵抗R4において発生する電圧として検出して電流誤差増幅器10に与え、電流誤差増幅器10においては、目標電流値としてDAコンバータ17の出力電圧DAOとの比較を行うことで電流誤差を求めるようにしているので、高調波の低減効果が期待でき、より高い力率改善効果を得ることができる。

【0037】

すなわち、図2に示すように、交流電源1が出力する電源電圧 V_{ac} には高調波成分を多数含んでおり、それを全波整流しただけでは、この高調波成分が全波整流された入力電圧 V_i の波形にも含まれている。しかし、電源電圧 V_{ac} をフォトカプラ14に入力し、フォトカプラ14からは交流電源1の周期に同期したデジタル信号 V_p を得るようにしているので、入力された交流信号に重畳する高

調波成分、すなわちノイズがリジェクトされる。

【0038】

フォトカプラ14は発光ダイオードとフォトトランジスタなどの受光素子とを組み合わせたもので、電気信号を発光ダイオードで光信号に変換し、受光素子で受けて再び電気信号に戻す素子である。そして、発光ダイオードに交流信号が与えられると、交流信号の正信号、すなわちサイン波の山部分では電流が流れて発光するので、フォトトランジスタはHighレベルの電気信号を出力し、交流信号の負信号、すなわちサイン波の谷部分では電流が流れないので発光せず、フォトトランジスタはLowレベルの電気信号を出力する。

【0039】

このため、入力された交流信号に重畳する高調波成分、すなわちノイズはリジェクトされ、フォトカプラ14から出力されるデジタル信号V_pには現れない。

【0040】

そして、マイクロコンピュータ15では、フォトカプラ14から出力されるデジタル信号V_pに同期するようにnビットの全波整流波形データを作成し、内蔵されたDAコンバータ17に出力する。

【0041】

この動作を図3を用いて説明する。なお、簡単化のため8ビットの全波整流波形データを作成するものとする。図3に示すように全波整流波形において最下部のレベルを0、ピーク部のレベルを255とし、ある瞬間での振幅値を0～255までの数で表現したデジタルデータの集まりが8ビットの全波整流波形となる。

【0042】

このようなデジタルデータを順にDAコンバータ17に入力すると、DAコンバータ17からはデジタル信号に応じたアナログ値が連続して出力され、アナログの全波整流波形が得られる。

【0043】

なお、デジタルデータをDAコンバータ17に入力する時間の間隔を調整することで全波整流波形の周期を調整できる。例えば、図3に示す全波整流波形デー

タにおいては、1周期が46個のデジタルデータで構成されているが、交流電源1の周期が60Hzの場合、1周期は16.6msecであるので、 $16.6 / 46 = 0.361$ msec間隔でデジタルデータをDAコンバータ17に入力すれば60Hzの全波整流波形が出力される。

【0044】

また、DAコンバータ17においてデジタルデータをアナログ値に変換する際には、電圧誤差増幅器8から出力される電圧誤差信号 V_e を基準電圧 V_{REF} として使用することで、目標電流値波形を得る。

【0045】

すなわち、一般的にDAコンバータはデジタルデータをアナログデータに変換する機能を有しているが、これは、基準電圧（アナログ値）とデジタルデータとを乗算することでアナログデータを得るものである。

【0046】

この動作について図4および図5を用いてさらに説明する。なお、簡単化のため2ビットのデジタルデータをアナログ値に変換するDAコンバータ90を例に採る。図4に示すように、DAコンバータ90は、電圧の高い側から順に直列に接続された4つの抵抗 R_{91} 、 R_{92} 、 R_{93} および R_{94} によって基準電圧 V_{REF} を抵抗分割して出力する構成を有している。すなわち、抵抗 R_{91} と R_{92} との接続ノードはスイッチ Y_3 を介してDAコンバータ90の出力端子に接続可能に構成され、抵抗 R_{92} と R_{93} との接続ノードはスイッチ Y_2 を介してDAコンバータ90の出力端子に接続可能に構成され、抵抗 R_{93} と R_{94} との接続ノードはスイッチ Y_1 を介してDAコンバータ90の出力端子に接続可能に構成され、抵抗 R_{94} と接地との接続ノードはスイッチ Y_0 を介してDAコンバータ90の出力端子に接続可能に構成されている。このスイッチ $Y_0 \sim Y_3$ の何れ1つをオンすることで、当該スイッチに対応する基準電圧 V_{REF} の抵抗分割値がコンバータ出力 DAO として出力される。そして、スイッチ $Y_0 \sim Y_3$ のオン／オフ制御が、デジタルデータ b_0 および b_1 の組み合わせによってなされる。なお、デジタルデータ b_0 および b_1 は、デコーダDCに与えられてスイッチ $Y_0 \sim Y_3$ の制御信号に変換される。

【0047】

図5は、デジタルデータ b_0 および b_1 の組み合わせに対するコンバータ出力 D A O のアナログ値を示すテーブルである。図5に示すように、 b_0 および b_1 がともに0である場合は（10進数表記では0）、スイッチ Y_0 がオンしてコンバータ出力 D A O は0 Vとなる。また、 b_0 が1、 b_1 が0の場合は（10進数表記では1）、スイッチ Y_1 がオンしてコンバータ出力 D A O は $(1/4) V_{REF}$ となる。また、 b_0 が0、 b_1 が1の場合は（10進数表記では2）、スイッチ Y_2 がオンしてコンバータ出力 D A O は $(2/4) V_{REF}$ となる。また、 b_0 および b_1 がともに1の場合は（10進数表記では3）、スイッチ Y_3 がオンしてコンバータ出力 D A O は $(3/4) V_{REF}$ となる。

【0048】

ここで、D A コンバータ17は目標電流値波形を得るためのものであるが、目標電流値波形は、その振幅が負荷7の変化に応じて変化するので、D A コンバータ17においては電圧誤差増幅器8の出力である電圧誤差信号 V_e を基準電圧 V_{REF} として使用することで、正確な目標電流値波形を得る。

【0049】

なお、図2において示すように、電圧誤差増幅器8の出力である電圧誤差信号 V_e は負荷7の変化に伴って時間とともに低下するように変化しており、電圧誤差信号 V_e を基準電圧 V_{REF} として使用して得られた目標電流値波形、すなわちコンバータ出力電圧 V_m の波形も、そのピーク値が時間とともに低下する波形となっている。

【0050】

なお、図2に示すようにコンバータ出力電圧 V_m の波形（目標電流値波形）には、入力電圧 V_i の波形に見られるような交流電源に重畳したノイズが現れないので高調波の低減効果が期待できる。

【0051】

< A - 3 . 効果 >

以上説明したように、コンバータ装置100の力率改善部102においては、A D コンバータ部101に流れている電流を、抵抗 R_4 において発生する電圧と

して検出して電流誤差増幅器10に与え、電流誤差増幅器10においては、目標電流値としてDAコンバータ17の出力電圧DAOとの比較を行うことで電流誤差を求めるようにしているので、より高い力率改善効果および高調波低減効果を得ることができる。

【0052】

また、DAコンバータ17では、交流電源1が出力する電源電圧Vacをフォトカプラ14に入力し、高調波成分をリジェクトしたデジタル信号Vpに基づいて目標電流値波形を作成するので、目標電流値には交流電源に重畳したノイズが含まれず、高調波の低減効果が期待でき、より高い力率改善効果を得ることができる。

【0053】

また、マイクロコンピュータ15やDAコンバータ17が力率改善回路103の外部に設けられているので、力率改善回路103を小型化できる。

【0054】

また、マイクロコンピュータ15に内蔵されたDAコンバータ17を用いるので、コスト的に安価である。

【0055】

< A-4. 変形例1 >

以上説明したコンバータ装置100の力率改善部102においては、マイクロコンピュータ15に内蔵されたDAコンバータ17において、基準電圧VREFを抵抗分割により動的に変化させて、デジタルデータと乗算することで目標電流値波形（アナログ値）を作成していた。しかし、先に説明したように、基準電圧VREFとして使用される電圧誤差増幅器8の出力である電圧誤差信号Veは、負荷7の変化に伴って時間とともに低下する場合があるので、基準電圧VREFが低下した場合でも正常にアナログ変換できる能力がDAコンバータ17に要求される。

【0056】

しかし、一般的に、マイクロコンピュータに内蔵されたDAコンバータは、基準電圧VREFが1.4V程度までしか動作しない場合が多い。

【0057】

これは、DAコンバータでは、基準電圧 V_{REF} を動的に変化させるための方式として、 $R-2R$ ラダー方式と称される回路を使用するが、マイクロコンピュータに内蔵されたDAコンバータでは、集積度を上げるため、スイッチ群を、PチャネルMOSトランジスタだけで構成されたスイッチ群と、NチャネルMOSトランジスタだけで構成されたスイッチ群とに分けているが、基準電圧 V_{REF} が1.4V程度になると、しきい値が高いPチャネルMOSトランジスタが正常にオンできなくなるためである。

【0058】

そこで、図6に示すコンバータ装置100Aの力率改善部102Aのように、フォトカプラ14の出力を受けるマイクロコンピュータ15Aの外部にDAコンバータ18を設け、マイクロコンピュータ15Aで、フォトカプラ14から出力されるデジタル信号 V_p に同期して、 n ビットの全波整流波形データを作成し、外部のDAコンバータ18に与える構成としても良い。

【0059】

外付けのDAコンバータ18であれば、集積度に対する限定が緩くなるので、基準電圧 V_{REF} が0Vでも動作可能な構造にでき、基準電圧 V_{REF} の低下に対する許容範囲を広げることができる。また、DAコンバータを有さないマイクロコンピュータを使用でき、マイクロコンピュータの種類に依存せずに済むという利点もある。

【0060】

< A-5. 変形例2 >

以上説明した実施の形態1の変形例1のコンバータ装置100Aにおいては、マイクロコンピュータ15Aの外部に設けたDAコンバータ18を用いて目標電流値波形を作成する構成を示したが、マイクロコンピュータ15Aの外部に設けるのであれば、図7に示すコンバータ装置100Bの力率改善部102Bのように、力率改善回路103Bの内部にDAコンバータ19を設けるようにしても良い。

【0061】

力率改善回路103BはICチップの形態を採っているので、DAコンバータ19を内蔵することでチップ面積は増大するが、外付けのDAコンバータが不要となるので、システムトータルでの部品点数を削減することができる。

【0062】

<B. 実施の形態2>

本発明に係る実施の形態2として、図8にコンバータ装置200の構成を示す。

実施の形態1およびその変形例1、2においては、目標電流値波形の生成のために、外部にマイクロコンピュータを必要としたが、図8に示すコンバータ装置200の力率改善部102Cにおいては、DAコンバータ19と、マイクロコンピュータに相当するコンピュータシステムを内蔵した力率改善回路103Cを備えている。なお、図1に示したコンバータ装置100と同一の構成については同一の符号を付し、重複する説明は省略する。

【0063】

<B-1. 装置構成>

すなわち、力率改善回路103C内には、フォトカプラ14から出力されるデジタル信号V_pを受けて、デジタルデータをDAコンバータ19に入力する時間の間隔を調整することで全波整流波形の周期を調整するアドレス生成回路21と、アドレス生成回路21およびDAコンバータ19に接続され、交流電源1の1周期分の全波整流波形の源データが予め書き込まれたROM (read only memory) 20と、アドレス生成回路21に基準クロック信号を与える発振回路22とを内蔵している。なお、ROM20およびアドレス生成回路21が上述したコンピュータシステムに対応する。

【0064】

<B-2. 動作>

以上のような構成を有する力率改善回路103Cにおいては、アドレス生成回路21は、フォトカプラ14から出力されるデジタル信号V_pの立ち上がり信号に同期して、アドレス0をROM20に与える。そして、発振回路22の発するクロック信号をカウントし、アドレス0を送ってから一定時間（例えば交流電源

1の周期が60Hzの場合0.361msec) 経過後にアドレス1を出力する。このアドレスは、例えば、 $m=6$ ビットであれば0～63まで指定できることになる。

【0065】

ROM20には、例えば n ビットの正弦波の全波整流波形の源データが格納されており、アドレス生成回路21から与えられるアドレスに対応してデジタルデータを出力することで交流電源1の周期に同期した全波整流波形データをDAコンバータ19に与え、DAコンバータ19では、電圧誤差増幅器8から出力される電圧誤差信号 V_e を基準電圧 V_{REF} として使用し、基準電圧 V_{REF} とROM20から与えられる全波整流波形データとを乗算することで目標電流値波形を得る。なお、DAコンバータ19の動作は、図1に示すDAコンバータ17と同じである。

【0066】

< B-3. 発振回路の構成例1 >

ここで、発振回路22の具体的構成の一例について図9を用いて説明する。図9に示すように、アドレス生成回路21は、アドレスカウンタ211と、分周回路212とを有し、分周回路212に発振回路22から出力される基準クロック信号が与えられる。

【0067】

発振回路22は、直列に接続されたインバータIV1およびIV2を有し、インバータIV1およびIV2に並列に可変キャパシタVC1が接続され、インバータIV2に並列に可変抵抗VR1が接続されている。

【0068】

ここで、インバータIV2の入力部と、可変キャパシタVC1および可変抵抗VR1との接続ノードをノードP1、インバータIV2の出力部と可変抵抗VR1との接続ノードをノードP2、インバータIV1の出力部と可変キャパシタVC1との接続ノードをノードP3として、図10を用いて発振回路22の動作について説明する。

【0069】

図10においてはノードP1、P2およびP3での波形が示されている。ノードP3の電圧レベルがLow (L) レベルである場合、ノードP2の電圧レベルがHigh (H) レベルであるので、可変抵抗VR1を介して可変キャパシタVC1が充電される。そして、ノードP1の電圧レベルがインバータIV1およびIV2のしきい値(Vth)まで達すると、ノードP3の電圧レベルがHレベルとなり、可変キャパシタVC1が可変抵抗VR1を介して放電され、ノードP2の電圧レベルを高める。この結果、インバータIV1およびIV2のしきい値(Vth)と、可変キャパシタVC1および可変抵抗VR1の時定数で決まる発振周波数の方形波、すなわち基準クロック信号がノードP3から出力される。

【0070】

なお、発振回路22で生成する基準クロック信号は、アドレス生成回路21で必要とする周波数よりも高い周波数に設定されるが、アドレス生成回路21で必要とされるのはキロヘルツ(kHz)オーダーの周波数であるので、分周回路212で分周することで、利用しやすい周波数に変換できる。

【0071】

一般に、IC内部の抵抗値や容量値は±30%ばらつくので、IC内部に発振回路を設けると、出力されるクロック信号の周波数も同様にばらつくことになる。そこで、発振回路22においては可変抵抗VR1および可変キャパシタVC1を使用することで、抵抗値および容量値が所定の値になるようにトリミングできる構成となっている。これにより、クロック信号の周波数のばらつきを抑制し、目標電流値の周波数精度を確保することができる。

【0072】

< B-4. 発振回路の構成例2 >

上述したように、IC内部に抵抗素子や容量素子を設けると、抵抗値や容量値がばらつきを有するので、発振回路を構成する抵抗素子や容量素子は、力率改善回路の外部に設けるようにしても良い。

【0073】

図11に示すコンバータ装置200Aの力率改善部102Dにおいては、力率改善回路103Dに内蔵された発振回路22AはインバータIV1およびIV2

を有するものの、発振周波数を決める抵抗R11およびキャパシタC11は力率改善回路103Dの外部に設けられている。

【0074】

このように、抵抗R11およびキャパシタC11を外付けとすることで、抵抗値や容量値がばらつくことがなくなり、トリミング工程なしに高い周波数精度を確保することができ、正確な目標電流値波形を生成することができる。

【0075】

また、抵抗R11およびキャパシタC11を変更することが容易であるので、発振周波数を容易に変更できる。

【0076】

<B-5. 効果>

以上説明したように、コンバータ装置200および200Aにおいては、力率改善回路103C内に、DAコンバータ19とマイクロコンピュータに相当するコンピュータシステムを内蔵するので、外部のマイクロコンピュータに接続する必要がなくなり、システムトータルでの部品点数を削減することができる。

【0077】

また、基準クロック発生のための発振回路22を力率改善回路103C内に内蔵しているので、水晶振動子やセラミック振動子などの高精度な基準クロック信号源を外部に設けることが不要となる。

【0078】

<B-6. 変形例1>

図8に示した力率改善回路103Cにおいては、周期信号の同期のために基準となる基準クロック信号を与える発振回路22を内蔵した構成を示したが、図12に示すコンバータ装置200Bの力率改善部102Eのように、力率改善回路103Eにおいて、発振源とし電圧制御発振回路23を使用し、その出力をPLL (phase locked loop) 回路24でロックすることで周波数精度を確保する構成としても良い。

【0079】

PLL回路24は、目標周波数と出力周波数との誤差を検出し電圧として出力

する回路であり、当該出力を電圧制御発振回路 23 にフィードバックすることで、周波数精度を確保することができる。

【0080】

例えば、電圧制御発振回路 23 の出力周波数が目標周波数よりも高い場合、出力周波数を下げるような電圧信号を電圧制御発振回路 23 に与え、逆に、電圧制御発振回路 23 の出力周波数が目標周波数よりも低い場合は、出力周波数を上げるような電圧信号を電圧制御発振回路 23 に与える。

【0081】

このように、PLL 回路 24 を用いて電圧制御発振回路 23 の出力をロックすることで、トリミング工程なしに高い周波数精度を確保することができ、正確な目標電流値波形を生成することができる。

【0082】

< B-7. 変形例 2 >

図 8 に示した力率改善回路 103C においては、周期信号の同期のために基準となる基準クロック信号を与える発振回路 22 を内蔵した構成を示したが、図 13 に示すコンバータ装置 200C の力率改善部 102F のように、力率改善回路 103F において、外部の基準クロック信号源 16 から基準クロック信号を得るようにしても良い。

【0083】

すなわち、力率改善回路 103F においては、アドレス生成回路 21 の分周回路 212 には、外部の基準クロック信号源 16 から入力された基準クロック信号が与えられる。

【0084】

これは、外部の基準クロック信号源 16 から与えられるクロック信号の周波数がメガヘルツ (MHz) オーダーであるのに対し、アドレス生成回路 21 で必要とするのはキロヘルツ (kHz) オーダーであるので、分周回路 212 で分周することで、利用しやすい周波数に変換するためである。

【0085】

そして、アドレスカウンタ 211 では、フォトカプラ 14 から出力されるデジ

タル信号V_pがリセット端子（エッジトリガタイプ）に入力され、分周回路212で低い周波数に変換されたクロック信号を使用して、正弦波の全波整流波形の源データが書き込まれたROM20のアドレスを指定する。

【0086】

このように、発振回路を内蔵せず、外部から高精度な基準クロック信号を受けることで、回路構成が簡単化されるとともに、目標電流値波形の周波数を高精度に設定することが可能となる。

【0087】

<C. 実施の形態3>

図12を用いて説明したコンバータ装置200Bにおいては、PLL回路24を用いて電圧制御発振回路23の出力をロックする構成を示したが、当該構成ではフィードバック制御を行うので、周波数が安定するまでの期間（ロックインタイム）が必要であるとともに、発振の安定性を高めるための設計が複雑になる。

【0088】

そこで、本発明に係る実施の形態3として、フィードバック制御を行わずに目標電流値の高い周波数精度を確保することが可能なコンバータ装置300の構成を図14に示す。なお、図9に示したコンバータ装置200と同一の構成については同一の符号を付し、重複する説明は省略する。

【0089】

<C-1. 装置構成>

図14に示すようにコンバータ装置300の力率改善部102Gにおいては、力率改善回路103Gに、アドレスカウンタ311、タイマー用カウンタ312、周期レジスタ313、除算回路314、周期カウンタ315、分周回路316および基準クロック信号を与える内部発振回路33を有したアドレス生成回路31を内蔵している。

【0090】

内部発振回路33で生成された基準クロック信号は、分周回路316に与えられ、分周回路316で分周されてタイマー用カウンタ312、周期レジスタ313、周期カウンタ315に与えられる。

【0091】

そして、タイマー用カウンタ312の出力は除算回路314に与えられ、除算回路314の出力は周期レジスタ313に与えられ、周期レジスタ313の出力はタイマー用カウンタ312に与えられ、タイマー用カウンタ312の出力はアドレスカウンタ311に与えられ、アドレスカウンタ311の出力がROM20に与えられる構成となっている。

【0092】

また、フォトカプラ14から出力されるデジタル信号 V_p が、アドレスカウンタ311、タイマー用カウンタ312、周期レジスタ313および周期カウンタ315に与えられる構成となっている。

【0093】

ここで、図15に内部発振回路33の構成を示す。内部発振回路33は、直列に接続されたインバータIV11およびIV12を有し、インバータIV11およびIV12に並列にキャパシタC21が接続され、インバータIV12に並列に抵抗R21が接続されている。

【0094】

< C-2. 動作 >

以下、アドレス生成回路31の動作を中心として力率改善回路103Gの動作について説明する。

【0095】

交流電源1の1周期、すなわちフォトカプラ14から出力されるデジタル信号 V_p の立ち上がりから次の立ち上がりまでの時間を、周期カウンタ315において内部発振回路33が出力する基準クロック信号を用いて計測する。

【0096】

ここで、交流電源1の1周期を $T[s]$ 、内部発振回路33が出力する基準クロック信号の周波数（内部発振周波数）を $f[Hz]$ とすると、電源周期のカウンタ値 $K1$ は $K1 = T \times f$ となる。

【0097】

このカウンタ値 $K1$ を除算回路314に与え、除算回路314においてROM

20に格納されている全波整流波形の源データのデータ数 n_d で除算することで、分割値 $K1'$ が得られる($K1' = K1 / n_d$)。ここで、分割値 $K1'$ は、ROM20に与えるべきアドレスのインクリメント周期に相当する。

【0098】

そして分割値 $K1'$ をタイマー用カウンタ312において、内部発振回路33が出力する基準クロック信号を用いてカウントすると、そのカウント期間 T' は $T' = (K1' / f) = \{ (T \times f / n_d) / f \} = T / n_d$ で与えられる。

【0099】

このように、アドレス生成回路31においては、内部発振周波数 f に依存することなく、交流電源1の周期を、ROM20に与えるべきアドレスのインクリメント周期に正確に分割することができる。

【0100】

ここで、タイマー用カウンタ312では、初期値を $K1'$ とし、内部発振周波数 f でダウンカウントし、0になった時点でパルスをアドレスカウンタ311に出力し、周期レジスタ313に記憶されている分割値 $K1'$ を再ロードする。

【0101】

< C-3. 効果 >

以上説明したように、コンバータ装置300においては、力率改善回路103G内に内蔵されたアドレス生成回路31において、内部発振回路33の内部発振周波数 f に依存することなく、交流電源1の周期を、ROM20に与えるべきアドレスのインクリメント周期に正確に分割することができ、フィードバック制御を行うことなく目標電流値の高い周波数精度を確保することができるので、システムの安定性が高くなる。

【0102】

また、交流電源1の周波数が変更された場合でも、アドレスカウンタ311のインクリメント周期は自動的に変更されるので、回路変更なしにあらゆる周期の交流電源に対応できる。

【0103】

また、除算回路314を用いることで、データ数 n_d がどのような値であって

も対応することができる。

【0104】

＜C-4. 変形例1＞

図14に示したコンバータ装置300のアドレス生成回路31においては、周期カウンタ315で計測した交流電源の1周期(T)を、除算回路314においてROM20に格納されている全波整流波形の源データのデータ数 n_d で除算することで分割値 $K1'$ ($K1' = K1 / n_d$)を得ていたが、図16に示すコンバータ装置300Aの力率改善部102Hにおいては、力率改善回路103Hのアドレス生成回路31Aが、予め所定の除算結果を書き込んだ除算テーブル用ROM317を使用して分割値 $K1'$ を得る構成となっている。

【0105】

すなわち、除算テーブル用ROM317には、当該ROM317のアドレス AD_d に対応させて、 AD_d / n_d の除算結果のデータを出力データとして予め書き込んでおく。

【0106】

そして、電源周期のカウント値 $K1$ をアドレス AD_d として除算テーブル用ROM317にアクセスすると、出力データとして $K1 / n_d$ の値すなわち分割値 $K1'$ が出力され、結果として除算機能が実現できる。

【0107】

この動作を図17を用いてさらに説明する。図17は除算テーブル用ROM317に書き込まれた除算テーブルの一例であり、ROM317のアドレスに対応する出力データが示されている。

【0108】

このテーブルは全波整流波形データのデータ数 n_d を例えば2として、アドレスを除算した結果の商の数値が出力データとして記載されている。

【0109】

例えば、アドレス7の場合は $7 \div 2 = 3$ 余り1となるので、出力データは3となっている。従って、周期カウンタ315において電源周期のカウント値 $K1$ が7とカウントされた場合、除算テーブル用ROM317のアドレス7が指定され

、除算テーブル用ROM 317からは分割値 $K1'$ として3が出力される。

【0110】

このように、力率改善回路103Hのアドレス生成回路31Aにおいては、ROMテーブルを用いて除算を実現しているので、除算機能を有した回路が不要となり構成を簡単化できるとともに、生成する全波整流波形のデータ数を任意に決められるので、設計の自由度が高くなる。

【0111】

< C-5. 変形例2 >

除算機能を有した回路を使用せずに除算機能を実現する構成としては、図18に示すコンバータ装置300Bの力率改善部102Iのように、力率改善回路103I内のアドレス生成回路31Bを構成する周期カウンタにビットシフト機能を持たせた構成としても良い。

【0112】

すなわち、アドレス生成回路31Bにおいては、交流電源1の1周期、すなわちフォトカプラ14から出力されるデジタル信号 V_p の立ち上がりから次の立ち上がりまでの時間を計測する周期カウンタ318がビットシフト機能を有し、ビットシフトによって、分割値 $K1'$ を得ることができる。

【0113】

この動作を図19を用いてさらに説明する。図19は周期カウンタ318のビットシフト機能を模式的に説明する図であり、10進数表記で112となるデータを1ビットずつLSB（最下位ビット）側にシフト（右シフト）させた場合の結果を示している。

【0114】

図19に示すように、10進数表記で112となるデータを1ビット右シフトさせるとデータは56となり、さらに1ビット右シフトさせるとデータは28となる。このように、Xビット右シフトすることで、データは 2^X で除算された値となる。従って、全波整流波形データのデータ数 nd が2であれば、周期カウンタ318で計測した電源周期のカウント値 $K1$ を、1ビット右シフトさせることで分割値 $K1'$ を得ることができる。

【0115】

得られた分割値 $K1'$ は、周期レジスタ313に与えられる。

【0116】

このように、周期カウンタ318のビットシフト機能を使用することで電源周期のカウント値 $K1$ から分割値 $K1'$ を得ることができるので、除算機能を有した回路が不要となり構成を簡単化できる。また、ビットシフトによって得られた分割値 $K1'$ は、周期カウンタ318の上位ビットを使用することになるので、周期レジスタ313には上位ビットのデータのみを与えれば良く、周期レジスタ313の記憶容量が小さくて済むので、回路規模が小さくなる。

【0117】

【発明の効果】

本発明に係る請求項1記載のコンバータ装置は、DAコンバータから、ADコンバータ部における入力電圧の波形に相似した目標電流値波形を出力し、電流制御部において、目標電流値波形とADコンバータ部に流れている電流の波形との比較を行って、両者の電流誤差を小さくするようにADコンバータ部に流れる電流を制御するので、より高い力率改善効果を得ることができる。また、フォトカプラによりADコンバータ部の交流電源波形をデジタル信号に変換し、コンピュータシステムにより当該デジタル信号に基づいて、交流電源波形に同期した全波整流波形データを作成し、当該全波整流波形データと電圧誤差信号とに基づいてDAコンバータで目標電流値波形を生成するので、目標電流値には交流電源に重畳したノイズが含まれず、高調波の低減効果が期待でき、より高い力率改善効果を得ることができる。

【図面の簡単な説明】

【図1】 本発明に係る実施の形態1のコンバータ装置の構成を示す図である。

【図2】 本発明に係る実施の形態1のコンバータ装置の動作を説明する図である。

【図3】 DAコンバータの動作を説明する図である。

【図4】 DAコンバータの乗算機能を説明する図である。

【図 5】 D A コンバータの構成を説明する図である。

【図 6】 本発明に係る実施の形態 1 のコンバータ装置の変形例 1 の構成を示す図である。

【図 7】 本発明に係る実施の形態 1 のコンバータ装置の変形例 2 の構成を示す図である。

【図 8】 本発明に係る実施の形態 2 のコンバータ装置の構成を示す図である。

【図 9】 本発明に係る実施の形態 2 のコンバータ装置の発振回路の構成を示す図である。

【図 1 0】 本発明に係る実施の形態 2 のコンバータ装置の発振回路の動作を説明する図である。

【図 1 1】 本発明に係る実施の形態 2 のコンバータ装置の発振回路の他の構成を示す図である。

【図 1 2】 本発明に係る実施の形態 2 のコンバータ装置の変形例 1 の構成を示す図である。

【図 1 3】 本発明に係る実施の形態 2 のコンバータ装置の変形例 2 の構成を示す図である。

【図 1 4】 本発明に係る実施の形態 3 のコンバータ装置の構成を示す図である。

【図 1 5】 本発明に係る実施の形態 3 のコンバータ装置の発振回路の構成を示す図である。

【図 1 6】 本発明に係る実施の形態 3 のコンバータ装置の変形例 1 の構成を示す図である。

【図 1 7】 本発明に係る実施の形態 3 のコンバータ装置の変形例 1 の動作を説明する図である。

【図 1 8】 本発明に係る実施の形態 3 のコンバータ装置の変形例 2 の構成を示す図である。

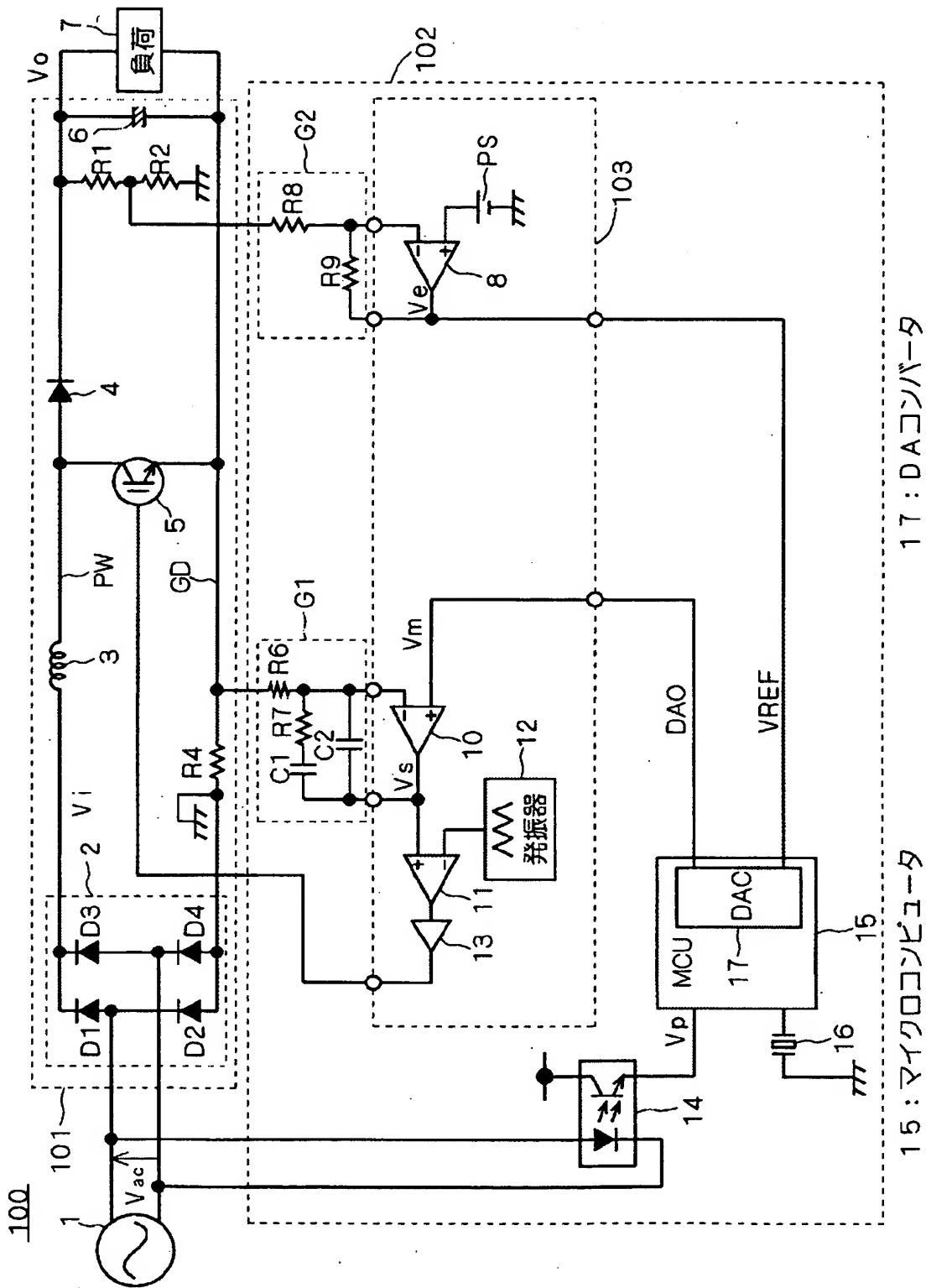
【図 1 9】 本発明に係る実施の形態 3 のコンバータ装置の変形例 2 の動作を説明する図である。

【符号の説明】

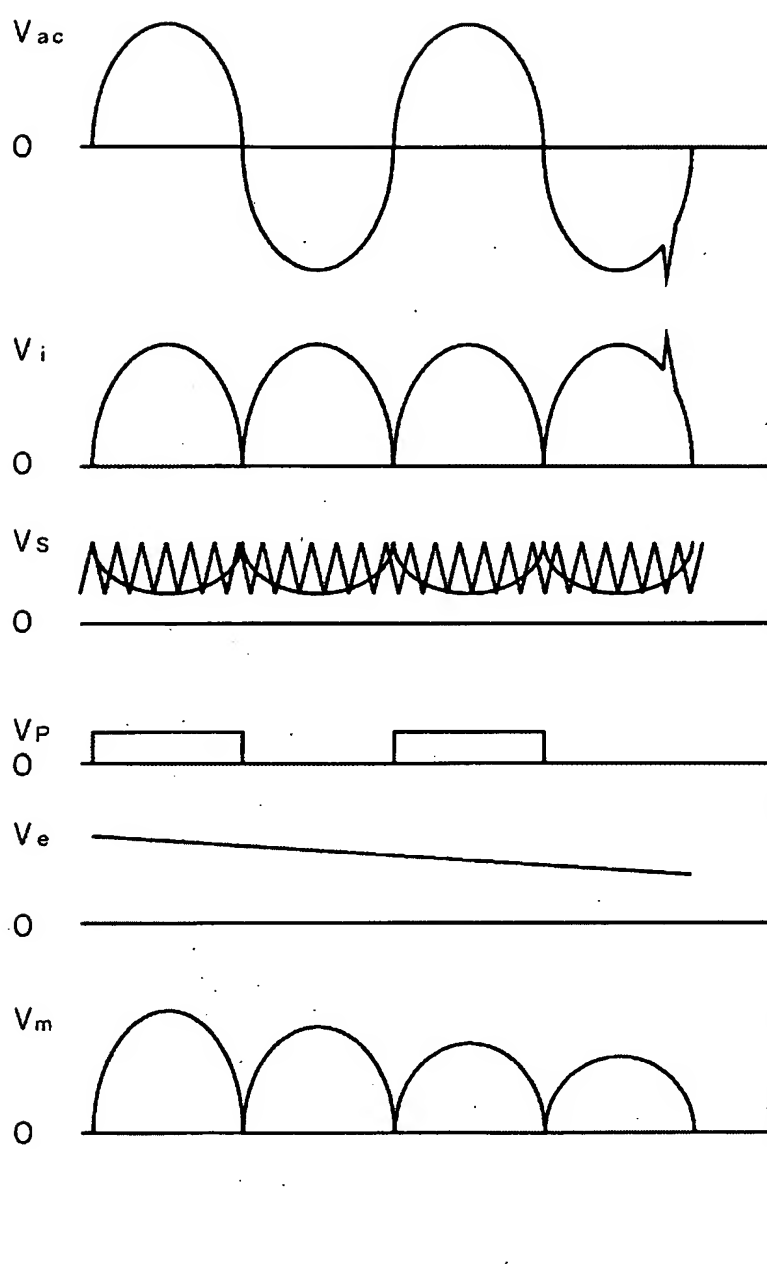
1 5, 1 5 A マイクロコンピュータ、1 7, 1 8, 1 9 D Aコンバータ。

【書類名】 図面

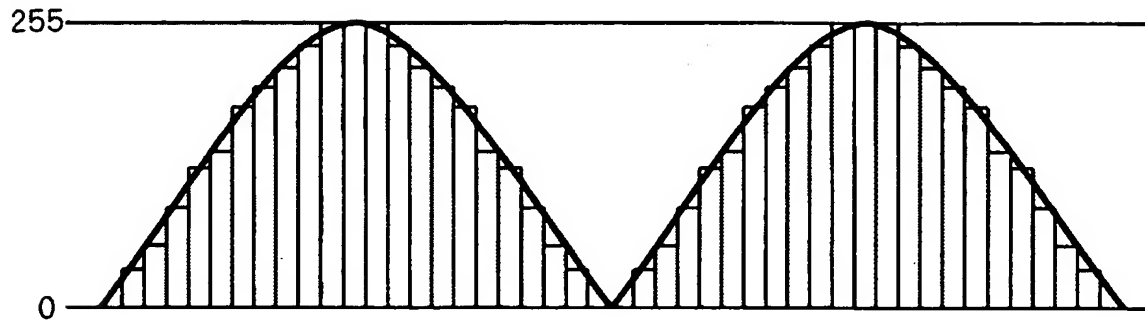
【図1】



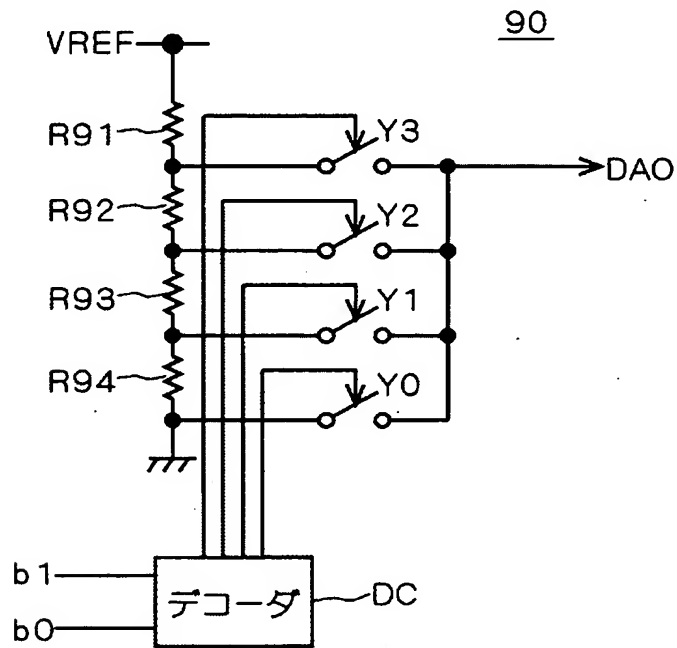
【図 2】



【図 3】



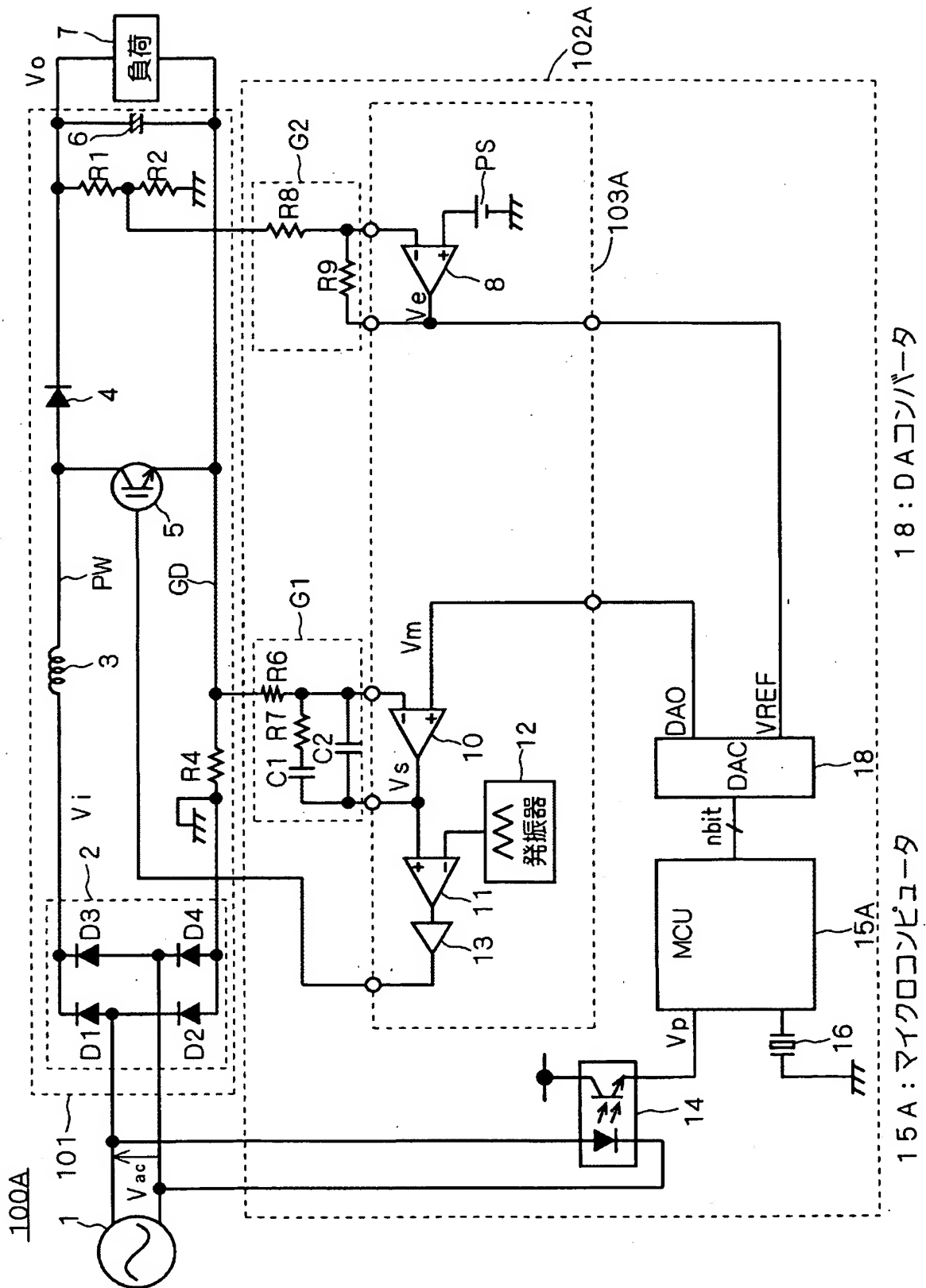
【図 4】



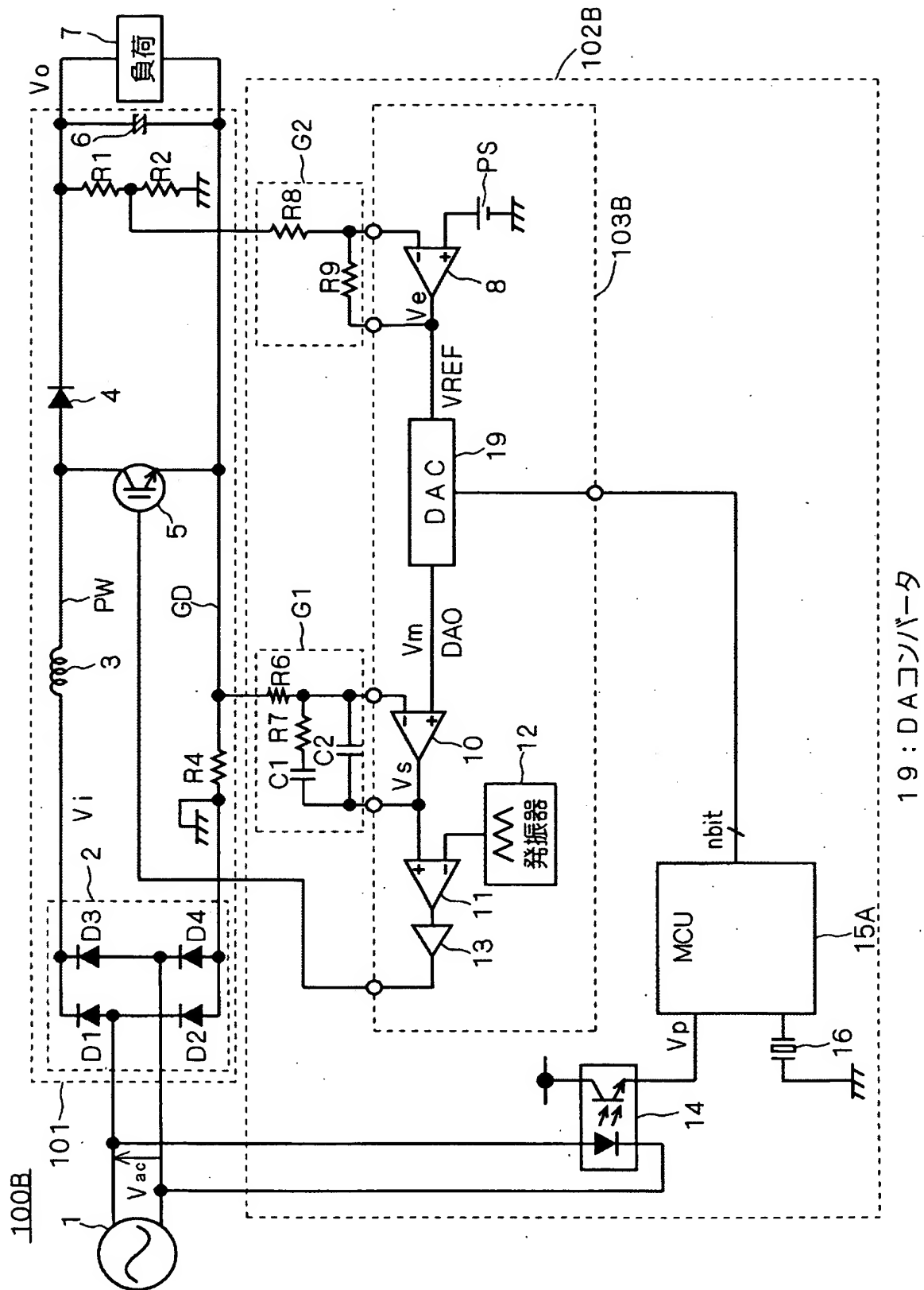
【図 5】

b 0	b 1	10進数	DAO
0	0	0	0
1	0	1	$(1/4) V_{REF}$
0	1	2	$(2/4) V_{REF}$
1	1	3	$(3/4) V_{REF}$

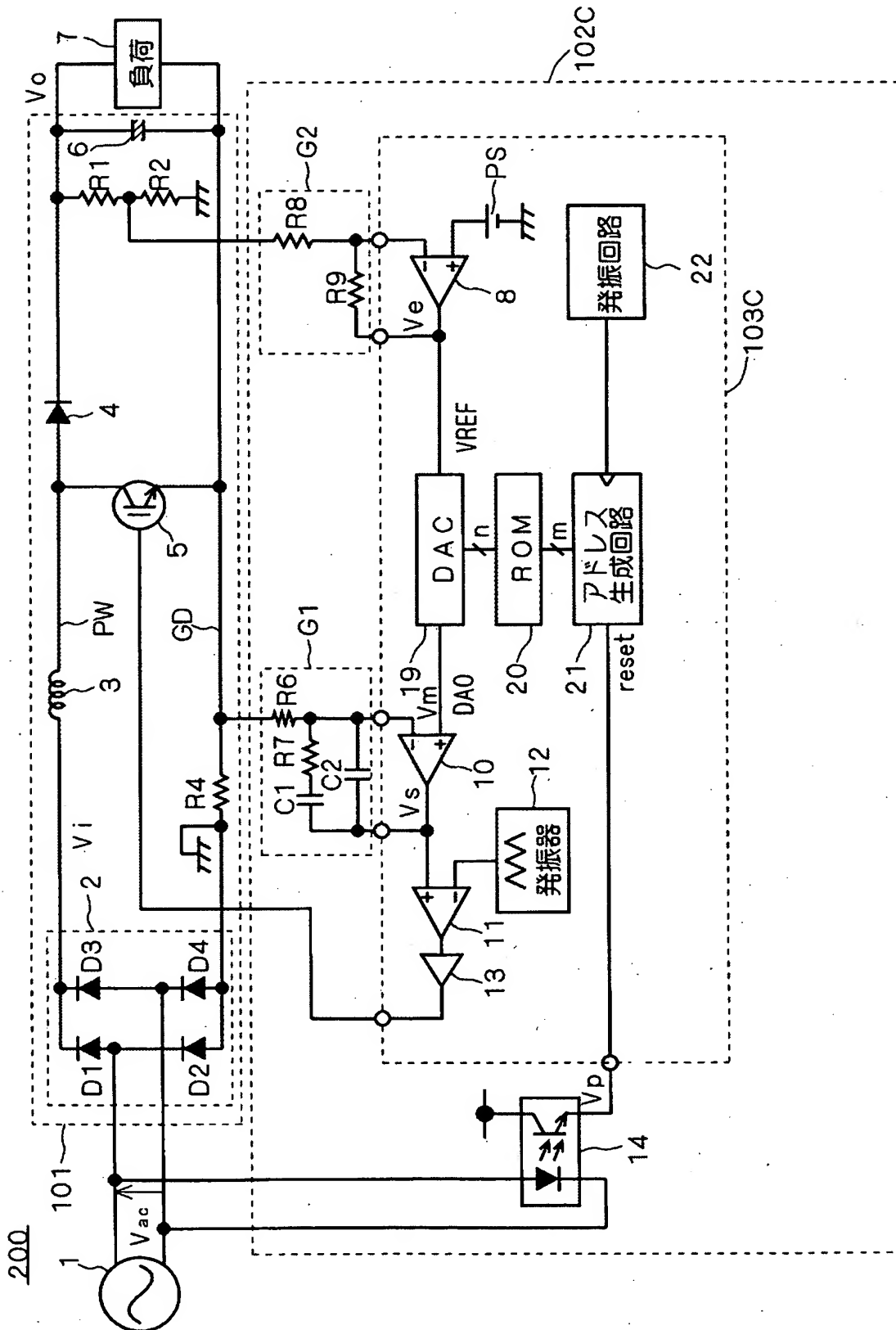
【図6】



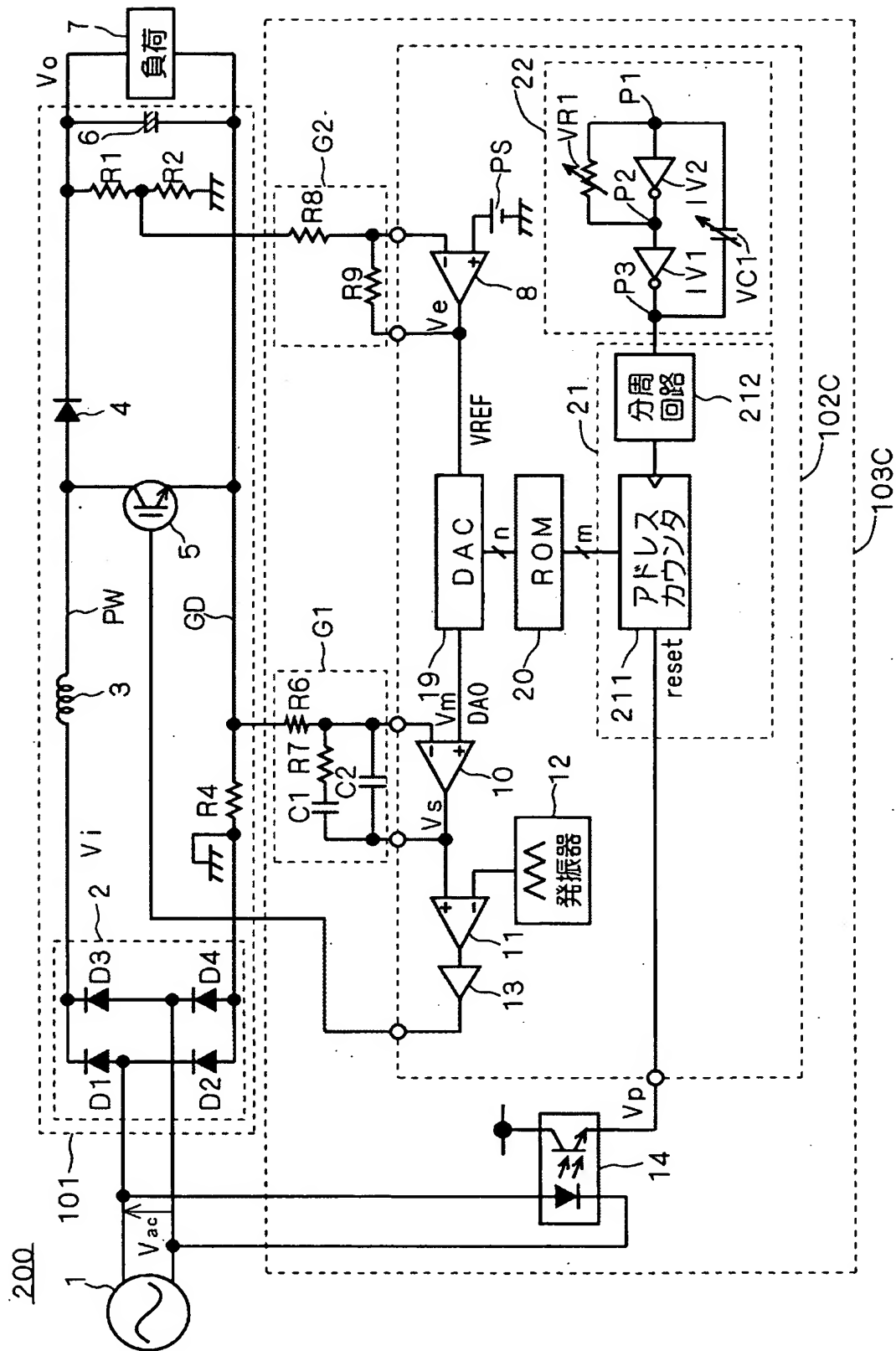
【图 7】



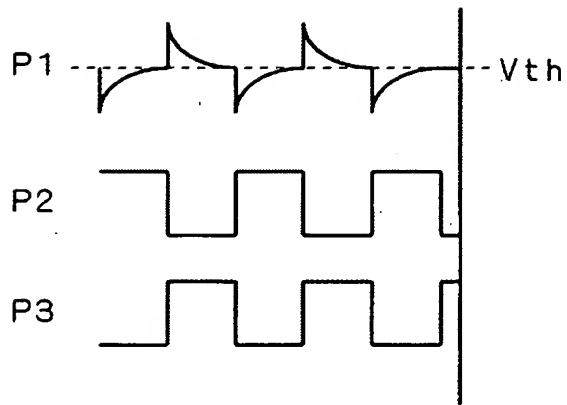
【図8】



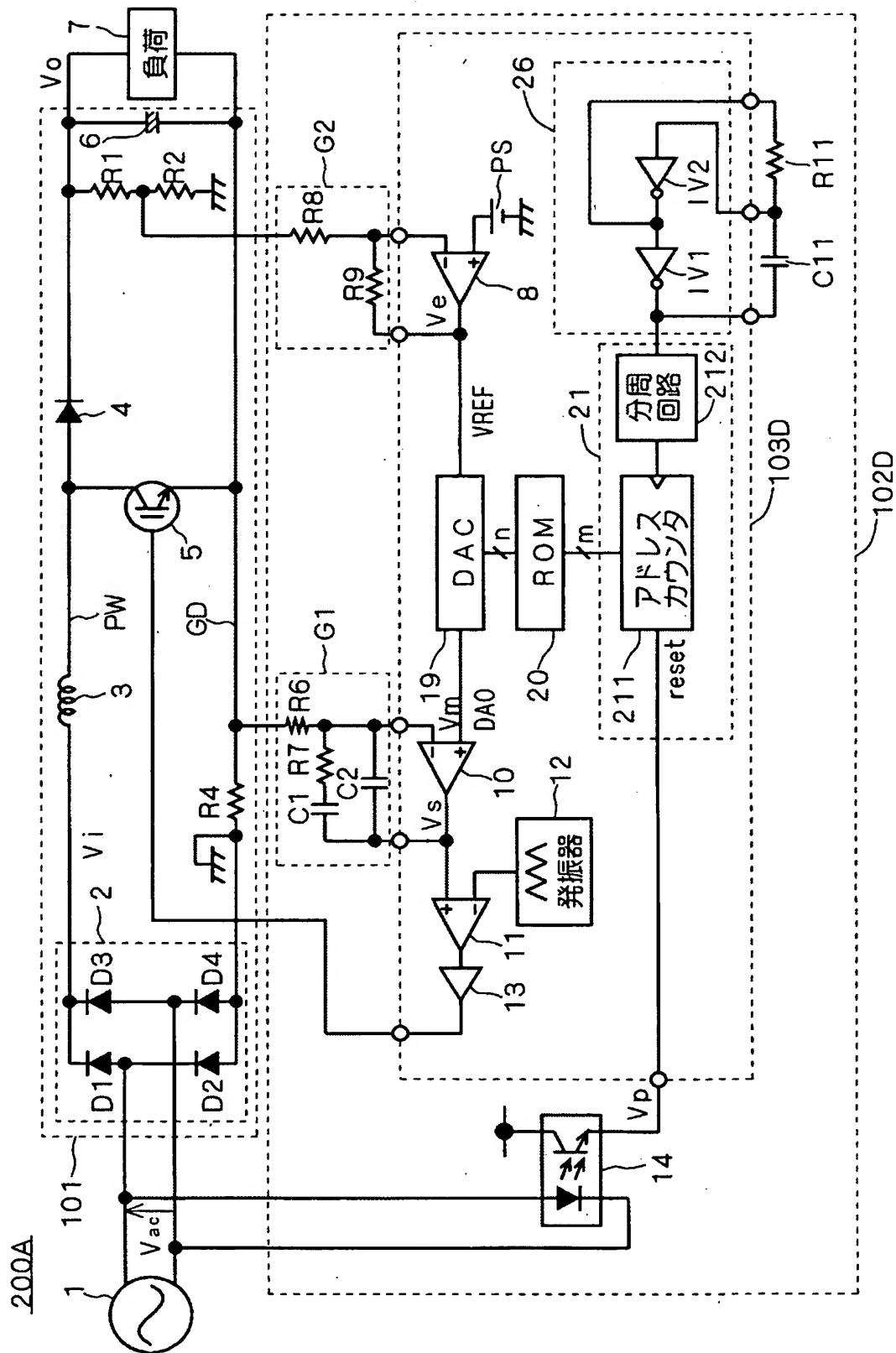
【図9】



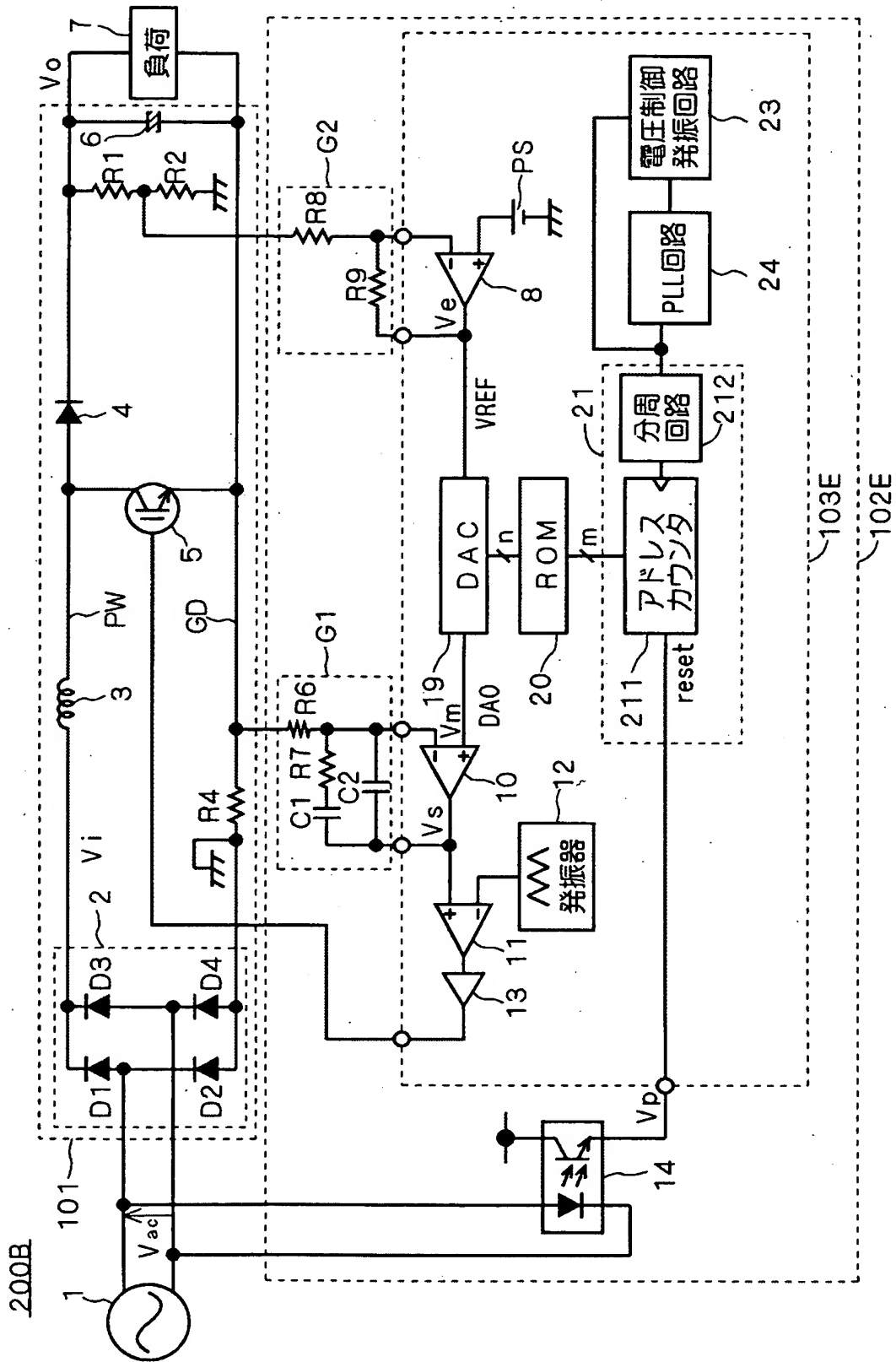
【図10】



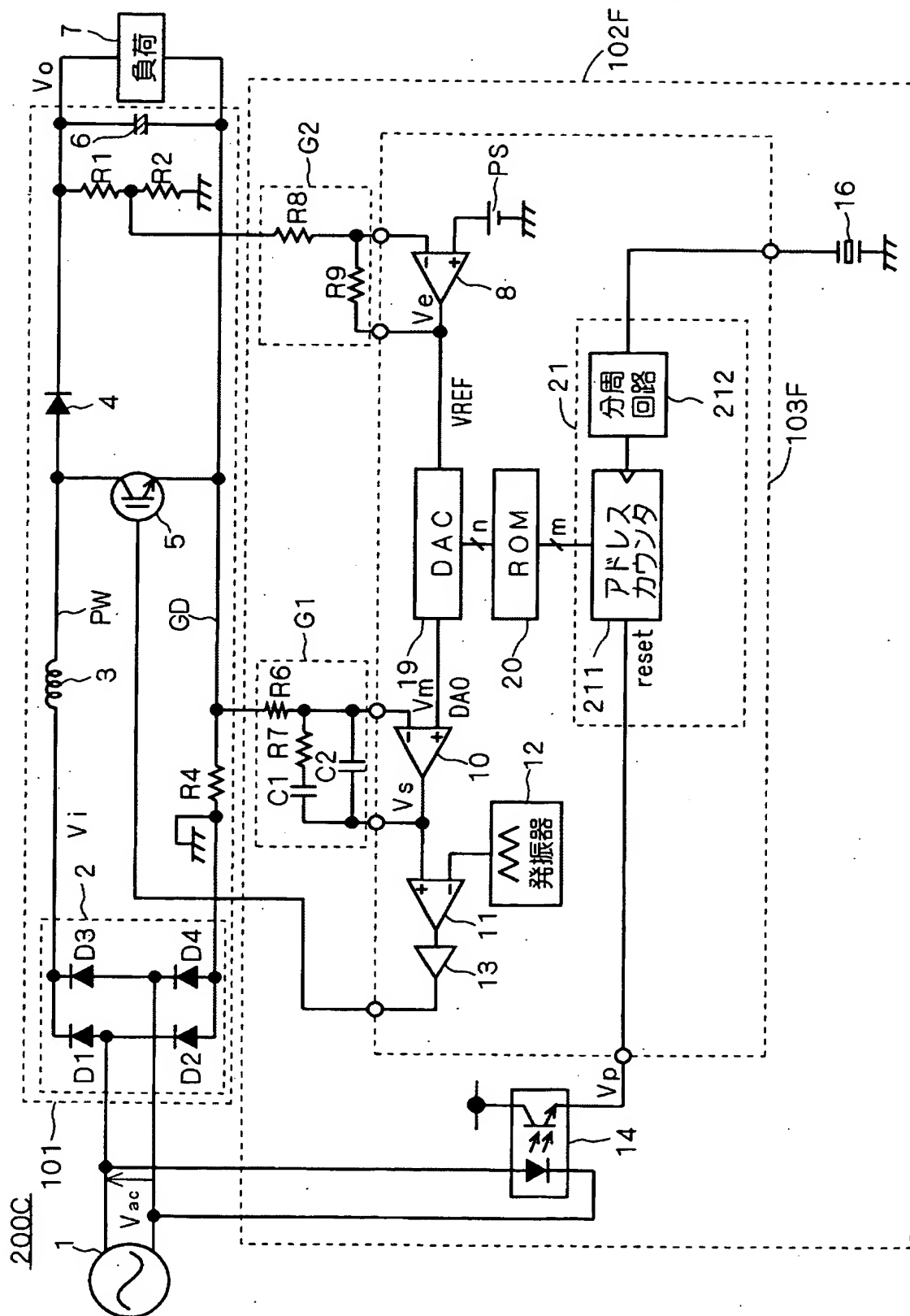
【図 1 1】



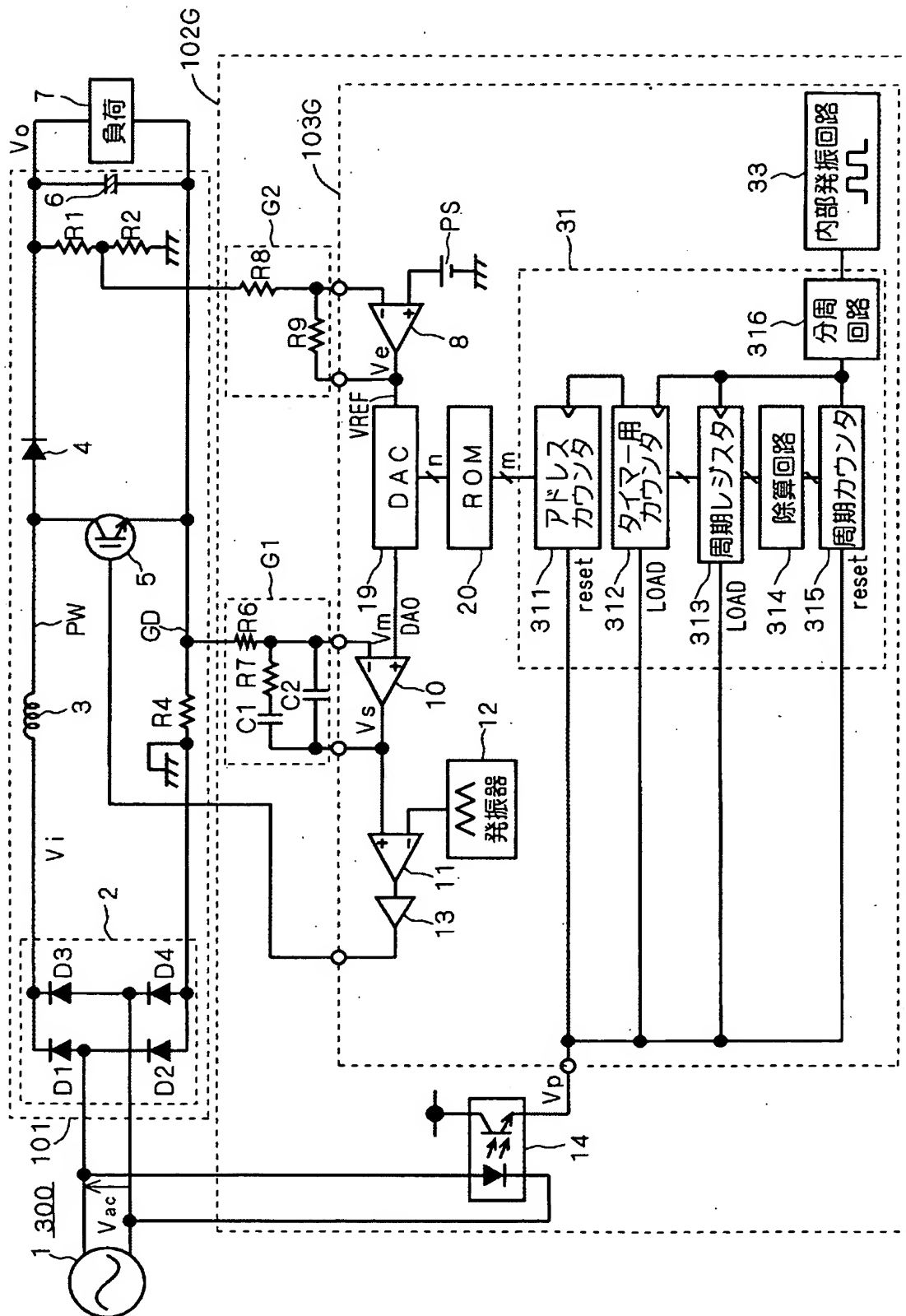
【図 1 2】



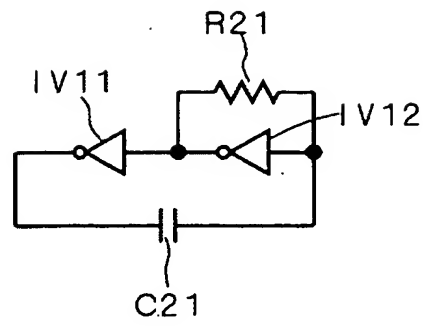
【図 13】



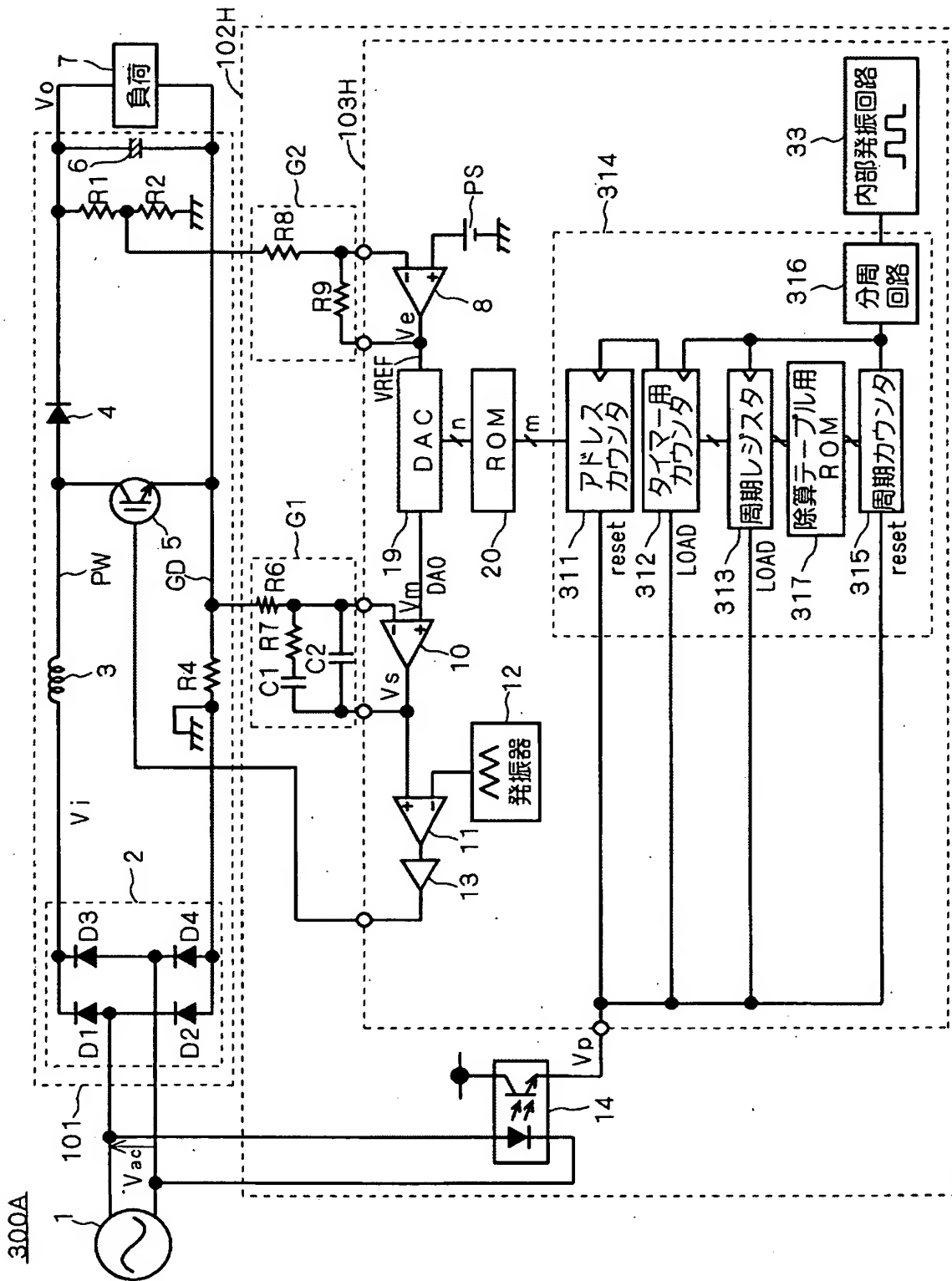
【図 14】



【図 1 5】



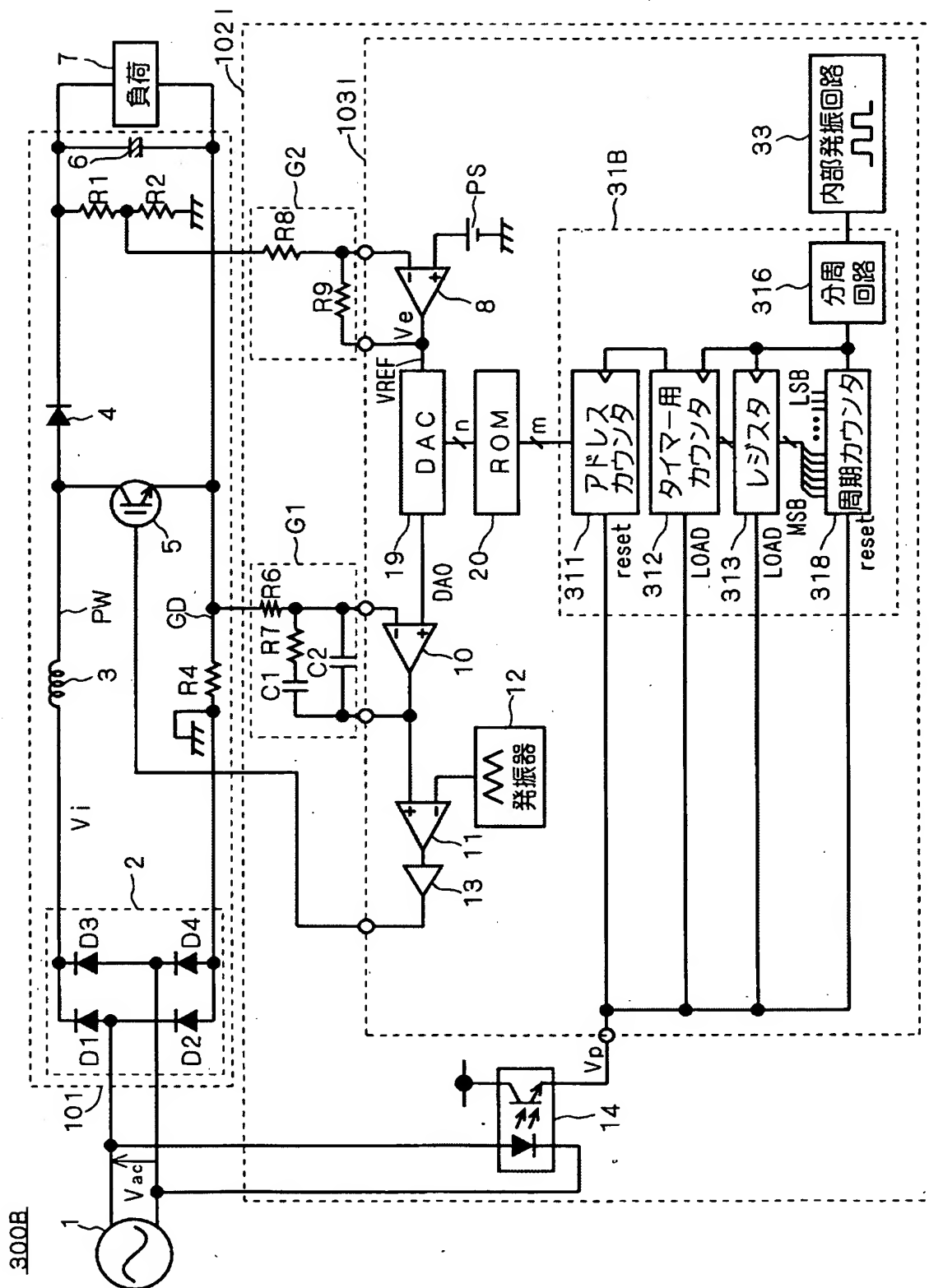
【図 16】



【図 17】

ROMアドレス	K 1'
0	0
1	0
2	1
3	1
4	2
5	2
6	3
7	3
...	...

【図18】



【図 1 9】

	2 進 数								1 0 進 数
	MSB				LSB				
元データ	0	1	1	1	0	0	0	0	→ 112
1ビット右シフト	0	0	1	1	1	0	0	0	→ 56
2ビット右シフト	0	0	0	1	1	1	0	0	→ 28

【書類名】 要約書

【要約】

【課題】 交流電源に重畳したノイズの影響を排除して、高調波を低減するとともに力率を改善した力率改善回路を有するコンバータ装置を提供する。

【解決手段】 力率改善回路 103 は、電圧誤差増幅器 8、電流誤差増幅器 10、コンパレータ 11、三角波発振器 12、出力バッファ 13 および直流電源 PS を主たる構成として有し、力率改善部 102 には、交流電源 1 の出力を検出するためのフォトカプラ 14 およびマイクロコンピュータ 15 を有し、フォトカプラ 14 の出力 V_p は、マイクロコンピュータ 15 の MCU に与えられ、マイクロコンピュータ 15 内の DA コンバータ 17 からは、コンバータ出力 DAO が力率改善回路 103 に与えられ、力率改善回路 103 からは、基準電圧 V_{REF} が DA コンバータ 17 に与えられる構成となっている。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社